

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-009111

(43)Date of publication of application : 11.01.2002

(51)Int.Cl.

H01L 21/60  
H01L 21/56

(21)Application number : 2000-186439

(71)Applicant : MITSUI HIGH TEC INC

(22)Date of filing : 21.06.2000

(72)Inventor : SASAKI ATSUO  
KATSUKI KENJI  
SHIOYAMA TAKAO  
NOKITA KANTA

## (54) METHOD FOR MOUNTING SEMICONDUCTOR FLIP CHIP

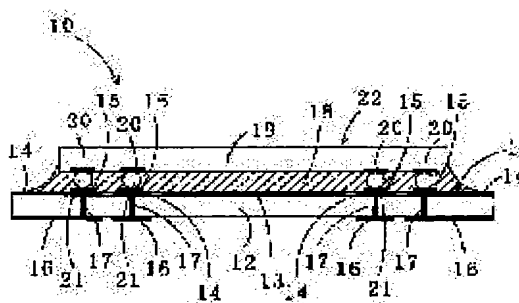
## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for mounting semiconductor flip chip which can pass reliability tests by reducing stress and improving connecting strength in an bonding interface, and preventing failures in dimensional accuracy and planarity.

**SOLUTION:** On a surface of a conductor circuit substrate 12, that is, an organic resin substrate on which a conductor circuit pattern 11 equipped with a plurality of connecting terminals 15 is formed, thermosetting resin binder is applied and a binder layer 18 is formed.

Then, the semiconductor flip chip 22 with a plurality of electrode bumps 21 is mounted on the binder layer 18 with the face down. The chip is pressed and the binder layer 18 is spread by applying predetermined pressure to form an electrical conducting circuit by pressure welding the electrode bump 21 to the connecting terminal 15.

After that, the required number of gradational thermosetting processes are conducted on the binder layer 18 with the semiconductor flip chip 22 being applied with pressure.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-9111

(P2002-9111A)

(43) 公開日 平成14年1月11日 (2002.1.11)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 21/60  
21/56

識別記号

3 1 1

F I

H 0 1 L 21/60  
21/56

テーマコード (参考)

3 1 1 S 5 F 0 4 4  
E 5 F 0 6 1

審査請求 未請求 請求項の数3 O L (全 8 頁)

(21) 出願番号 特願2000-186439(P2000-186439)

(22) 出願日 平成12年6月21日 (2000.6.21)

(71) 出願人 000144038

株式会社三井ハイテック

福岡県北九州市八幡西区小嶺2丁目10-1

(72) 発明者 佐々木 敦夫

福岡県北九州市八幡西区小嶺2丁目10-1

株式会社三井ハイテック内

(72) 発明者 香月 謙治

福岡県北九州市八幡西区小嶺2丁目10-1

株式会社三井ハイテック内

(74) 代理人 100090697

弁理士 中前 富士男

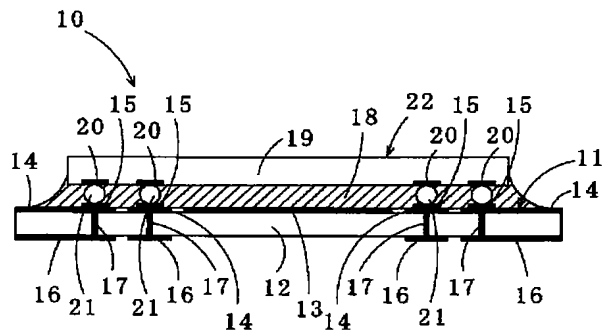
最終頁に続く

(54) 【発明の名称】 半導体フリップ・チップの実装方法

(57) 【要約】

【課題】 接着界面での応力低減と接続強度とを向上させ、寸法精度、平坦度の不良の発生を防ぎ、信頼性試験に対応することができる半導体フリップ・チップの実装方法を提供する。

【解決手段】 有機系樹脂基板上に複数の接続端子15を備えた導体回路パターン11が形成された導体回路基板12の表面に、熱硬化性樹脂バインダーを塗布してバインダー層18を形成し、複数の電極バンプ21を備える半導体フリップ・チップ22をバインダー層18上にフェースダウン状態で搭載し、所定の加圧力で押圧してバインダー層18を押し広げ、接続端子15に電極バンプ21を圧接接続させて電氣的導通回路を形成した後、半導体フリップ・チップ22を加圧した状態でバインダー層18に所要回数の段階加熱硬化処理を行う。



## 【特許請求の範囲】

【請求項 1】 有機系樹脂基板上に複数の接続端子を備えた導体回路パターンが形成された導体回路基板の表面に、熱硬化性樹脂バインダーを塗布してバインダー層を形成し、前記導体回路基板の前記接続端子に対応する複数の電極バンプを備える半導体フリップ・チップを前記バインダー層上にフェースダウン状態で位置決め搭載する仮接着を行って、前記半導体フリップ・チップを所定の加圧力で押圧して前記バインダー層を押し広げ、前記接続端子に前記電極バンプを圧接接続させて電気的導通回路を形成した後、前記半導体フリップ・チップを加圧した状態で前記バインダー層に所要回数の段階加熱硬化処理を行い、前記半導体フリップ・チップを前記導体回路基板上に実装する構成としたことを特徴とする半導体フリップ・チップの実装方法。

【請求項 2】 請求項 1 記載の半導体フリップ・チップの実装方法において、前記バインダー層の前記段階加熱硬化処理は、前記バインダー層の硬化率が 70～80% になる仮硬化温度に上昇させ、所定時間の間、前記仮硬化温度を維持して前記バインダー層を硬化させる第 1 の段階加熱硬化処理と、更に前記バインダー層の硬化率が 90～100% になる本硬化温度に上昇させ、所定時間の間、前記本硬化温度を維持して前記バインダー層を硬化させる第 2 の段階加熱硬化処理とからなる構成としたことを特徴とする半導体フリップ・チップの実装方法。

【請求項 3】 請求項 1 又は 2 記載の半導体フリップ・チップの実装方法において、前記バインダー層の本硬化温度が前記導体回路基板のガラス転移点温度よりも高く設定されていることを特徴とする半導体フリップ・チップの実装方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体フリップ・チップと導体回路基板の電極間がダイレクト接続又は媒体接続された半導体フリップ・チップの実装方法に関し、特に、半導体フリップ・チップと導体回路基板との間に介在する熱硬化性樹脂バインダーの加熱硬化作業手順の改良に関する。

## 【0002】

【従来の技術】 近年、半導体装置の超小型化や高速化、高周波化等に対応する目的で、半導体チップの電極パッドに電極バンプが形成された半導体フリップ・チップをフェースダウン状態で導体回路基板（インターポーザ）上に直接実装する半導体フリップ・チップの実装方法が実用化されている。例えば、特開平 5-175280 号公報に開示されているように、導体回路基板の接続端子と半導体フリップ・チップの電極パッドとの電気的接続が、導体回路基板を覆っている粘着型熱硬化性薄膜部材を貫通してなされると共に、粘着型熱硬化性薄膜部材を加熱して、その硬化収縮力によって半導体フリップ・チ

ップの電極バンプが導体回路基板の接続端子に圧接接続されて電気的導通回路を形成すると共に、圧接接続状態を維持する封止を行う構成とされている。

【0003】 更に、最近では半導体フリップ・チップの実装方法として、半導体フリップ・チップと導体回路基板の間に液状の熱硬化性樹脂バインダーを充填し、これを加熱硬化してバインダー層を形成し、封止するアンダフィリング方式が提案されている。このアンダフィリング方式としては、バインダー層の粘度を下げてバインダー層の流れ性をよくして充填効果を高めると共に、導体回路基板に含まれるガスやバインダー層中に含まれるボイドを除去するために、60～80℃に加熱されたステージ上に導体回路基板を固定して予備加熱を行い、  
a) 半導体フリップ・チップをフェースダウン状態で加圧して実装を行った後に、ディスペンサーシリジンのニードルの先端から 60～80℃に加熱された液状の熱硬化性樹脂バインダーを、半導体フリップ・チップと導体回路基板との間に供給し、所定の硬化温度で加熱硬化させる方法、

b) 導体回路基板上の半導体フリップ・チップを搭載する中央部分に、予め 60～80℃に加熱された液状の熱硬化性樹脂バインダーを適量載せてバインダー層を形成しておき、半導体チップの電極パッドに Au ボールボンディングバンプが形成された半導体フリップ・チップをバインダー上にフェースダウン状態で上から押し付けてバインダー層を押し広げて加熱硬化させる方法、のいずれかにより、半導体フリップ・チップの電極バンプを導体回路基板の接続端子に圧接接続すると共に、これらを封止する半導体フリップ・チップの実装方法が実用化されている。

【0004】 そして、半導体フリップ・チップの実装に使用される熱硬化性樹脂バインダーは、例えば、主成分がエポキシ樹脂で、2 μm 程度の粒子のフィラーを含み、ガラス転移点温度 T<sub>g</sub> が 150～170℃、熱膨張係数がガラス転移点温度 T<sub>g</sub> 以下で 33～45 ppm/℃、ガラス転移点温度 T<sub>g</sub> を超えると 110～120 ppm/℃の硬化物特性を有し、液状の状態で粘度が 900～1100 cps 程度の特性を有する硬化温度が 260℃のエポキシ系熱硬化性樹脂バインダーが多く使用されている。

【0005】 上記 b) の硬化方法を用いた半導体フリップ・チップの実装方法の一例について説明する。例えば図 5 (A) に示すように、半導体装置 30 を形成する場合、樹脂基板からなる導体回路基板 31 上に半導体フリップ・チップ 32 をフェースダウン状態で実装するが、その工程は、

(1) 半導体チップ 33 の複数の電極パッド 34 のそれぞれに、例えば Au ボールボンディングバンプからなる電極バンプ 35 が形成された半導体フリップ・チップ 32 を準備する（電極バンプ形成工程）。

(2) 有機系銅張り樹脂基板の一例であるガラスBTレジン基板(ビスマレイミドとトリアジンを主成分とする樹脂基板で、ガラス転移点温度 $T_g = 180 \sim 230^\circ\text{C}$ 、熱膨張係数 $\alpha = 13 \sim 17 \text{ ppm}/^\circ\text{C}$ )の両面の銅箔をエッチング加工して、導体リードや半導体搭載部を有する所定の導体回路パターン36が形成された、例えばガラスBTレジンベースの導体回路基板31を準備する(導体回路基板形成工程)。

(3) その導体回路基板31上の半導体フリップ・チップ32を搭載する中央部分に予めエポキシ系熱硬化性樹脂バインダーを適量載せてバインダー層37を形成する(バインダー塗布工程)。

(4) バインダー層37が形成された導体回路基板31を加熱ステージに固定して $80^\circ\text{C}$ 程度に昇温し、バインダー層37の粘度を下げ、バインダー層37の流れ性をよくして充填効果高めると共に、導体回路基板31に含まれるガスやバインダー層37中に含まれるボイドを除去するための予熱を行う(予熱工程)。

【0006】(5) 予熱された導体回路基板31のバインダー層37に半導体フリップ・チップ32を位置決め載置して所定の加圧力で、これを押圧してバインダー層37を押し広げ、導体回路基板31に設けた接続端子パッド38に電極バンプ35を圧接接続させて電氣的導通回路を形成する(実装工程)。

(6) 図6に示すように、半導体フリップ・チップ32を加圧した状態で加熱し、3秒間に $260^\circ\text{C}$ のエポキシ系熱硬化性樹脂バインダーの硬化温度に上昇させる(加熱工程)。

(7) エポキシ系熱硬化性樹脂バインダーの硬化温度( $260^\circ\text{C}$ )で11秒間保持して、バインダー層37を硬化率 $95 \sim 100\%$ に硬化させる(熱硬化工程)。

(8) その後、20秒間に $80^\circ\text{C}$ に冷却し、放置する(冷却工程)。

このようにして、半導体フリップ・チップ32の電極パッド34と導体回路基板31の接続端子パッド38との間の電氣的導通回路が形成されると共に、これらを保持した状態で半導体フリップ・チップ32が導体回路基板31に封止実装される。

#### 【0007】

【発明が解決しようとする課題】しかしながら、半導体フリップ・チップ32と導体回路基板31との間隙に充填された液状のバインダー層37を上記従来の加熱硬化条件で熱硬化させて半導体フリップ・チップ32を実装する場合、有機系樹脂基板の一例であるガラスBTレジン基板からなる導体回路基板31は、バインダー層37の硬化温度の $260^\circ\text{C}$ に上昇されるので、導体回路基板31のガラス転移点温度 $T_g$ ( $180 \sim 230^\circ\text{C}$ )より温度が高くなる。そのため、導体回路基板31は軟化し、図5(A)に矢印Aで示すように、導体回路基板31に伸びが生じた状態でバインダー層37は所定の硬化

率( $95 \sim 98\%$ )に達し、バインダー層37は硬化収縮する。そして、冷却されて導体回路基板31のガラス転移点温度 $T_g$ ( $180 \sim 230^\circ\text{C}$ )より温度が下がると、導体回路基板31も硬化収縮する。そして、導体回路基板31とバインダー層37及び半導体フリップ・チップ32とバインダー層37との接着界面に熱膨張係数差に起因する応力が残留すると共に、図5(B)に矢印Bで示す収縮力により反りが発生する。更に剛性が大でフレキシビリティに欠ける接続端子パッド38と電極バンプ35の圧接接合部にも応力が残留する。

【0008】その結果として、PCT(Pressure Cracker Test: 温度 $110^\circ\text{C}$ 、湿度 $85\%$ 、500時間)、TCT(Temperature Cycle Test:  $125^\circ\text{C}/-55^\circ\text{C}$ 、1000Cycle)の加熱により残留応力が解放されて、平坦性(反り)、密着性、電氣的接続性等の信頼性試験に対応(合格)できないという問題があった。したがって、信頼性試験に対応するためには、それぞれの接着界面での応力低減と接続強度を向上させることが必要とされていた。本発明はこのような事情に鑑みてなされたもので、接着界面での応力低減と接続強度とを向上させ、寸法精度、平坦度(コプラナリティ)の不良の発生を防ぎ、信頼性試験に対応することができる半導体フリップ・チップの実装方法を提供することを目的とする。

#### 【0009】

【課題を解決するための手段】前記目的に沿う本発明に係る半導体フリップ・チップの実装方法は、有機系樹脂基板上に複数の接続端子を備えた導体回路パターンが形成された導体回路基板の表面に、熱硬化性樹脂バインダーを塗布してバインダー層を形成し、導体回路基板の接続端子に対応する複数の電極バンプを備える半導体フリップ・チップをバインダー層上にフェースダウン状態で位置決め搭載する仮接着を行って、半導体フリップ・チップを所定の加圧力で押圧してバインダー層を押し広げ、接続端子に電極バンプを圧接接続させて電氣的導通回路を形成した後、前記半導体フリップ・チップを加圧した状態でバインダー層に所要回数の段階加熱硬化処理を行い、半導体フリップ・チップを導体回路基板上に実装する構成としている。

【0010】上記のように、所定回数の段階加熱硬化処理を行うことによって、所定の仮硬化温度で所定時間維持して所要の硬化率に仮加熱硬化処理されたバインダー層は、導体回路基板を補強するように機能するため、その後、バインダー層を所定の硬化温度で所定時間維持して所要の硬化率に本加熱硬化処理しても、導体回路基板の伸びが減少し、半導体フリップ・チップと導体回路基板の接続界面及び接続端子と電極バンプの圧接接合部の残留応力が低減されて、実装後の半導体装置の反りや変形を防止することができる。

【0011】本発明に係る半導体フリップ・チップの実

装方法において、バインダー層の段階加熱硬化処理は、バインダー層の硬化率が70～80%になる仮硬化温度に上昇させ、所定時間の間、仮硬化温度を維持してバインダー層を硬化させる第1の段階加熱硬化処理と、更にバインダー層の硬化率が90～100%になる本硬化温度に上昇させ、所定時間の間、本硬化温度を維持してバインダー層を硬化させる第2の段階加熱硬化処理とからなる構成としてもよい。

【0012】この場合、第1の段階加熱硬化処理と第2の段階加熱硬化処理とで段階加熱硬化処理を行って実装する構成とし、例えば本硬化温度が260℃のバインダー層を2秒間加熱して本硬化温度よりも低い200～240℃（好ましくは220℃）の仮硬化温度に昇温し、この状態を5秒間維持してバインダー層を硬化率70～80%に硬化する第1の段階加熱硬化処理を行い、導体回路基板は70～80%の硬化率のバインダー層によって補強されて一体化されているので、その後、第2の段階加熱硬化処理で本硬化温度の260℃に昇温して、バインダー層を所定の硬化率に硬化させても応力の残留を低減させることが可能となる。なお、バインダー層の硬化率が70%未満の低い硬化率では、導体回路基板がバインダー層によって実質的に補強されないため、第2の段階加熱硬化処理での導体回路基板の変形は小さくならない。

【0013】本発明に係る半導体フリップ・チップの実装方法において、バインダー層の本硬化温度が導体回路基板のガラス転移点温度よりも高く設定されてもよい。上記のように、バインダー層の本硬化温度を高く設定することにより、硬化反応が更に促進されるので、硬化時間の短縮が可能となり、半導体フリップ・チップの実装時間の短縮が可能となる。更に、硬化時間が短縮されるので加熱温度による半導体フリップ・チップに与えるダメージを低減することができる。

#### 【0014】

【発明の実施の形態】続いて、添付した図面を参照しつつ、本発明を具体化した実施の形態につき説明し、本発明の理解に供する。ここに、図1は本発明の一実施の形態に係る半導体フリップ・チップの実装方法を用いて製造される半導体装置の側面図、図2(A)、(B)はそれぞれ同半導体フリップ・チップの実装方法の途中の工程で形成される半導体パッケージの側面図、導体回路基板フレームの平面図、図3は同半導体フリップ・チップの実装方法に用いる熱硬化樹脂からなるバインダーの硬化率を示す説明図、図4は同半導体フリップ・チップの実装方法の硬化工程の時間と温度変化の関係を示す説明図である。

【0015】図1に示すように、本発明の一実施の形態に係る半導体フリップ・チップの実装方法を用いて形成される半導体装置10は、有機系樹脂基板の一例である、例えば0.1～0.4mm程度で、その表面に銅箔

を有するガラスBTレジン銅張り基板の銅箔にエッチング加工を施すことにより、所定の導体回路パターン11（図2(A)、(B)参照）が形成されたガラスBTレジン基板をベースとする導体回路基板12を備えている。そして、導体回路パターン11は、中央部にダミーパッド13を有し、その周囲に複数の導体リード14を配列し、各導体リード14の半導体搭載面（上面）側の一端部の表面に金めっきが施された接続端子の一部である内部接続端子パッド15が形成されている。また、導体回路基板12の実装面（下面）側にはアレイ状に配置された接続端子の一部である外部接続端子ランド16が形成され、外部接続端子ランド16はスルーホール17を介して内部接続端子パッド15と電気的に接続されている。

【0016】導体回路パターン11上には、例えばエポキシ樹脂を主体とする熱硬化樹脂からなる熱硬化樹脂バインダー（以下、バインダーという）を塗布し、硬化させた所要の硬化物特性を有するバインダー層18が形成されている。なお、エポキシ樹脂を主体とする熱硬化樹脂は、例えば図3に示すように、220℃（仮硬化温度）で5秒間加熱したときに硬化率が70～80%（平均75%）となり、260℃（本硬化温度）で5秒間加熱したときに、硬化率が90～100%になるように構成されている。また、バインダーは、例えばエポキシ樹脂を主体とし、フィラー、硬化剤、反応性希釈剤を含む構成の熱硬化性エポキシ樹脂バインダーとされており、硬化温度が260℃で、しかもガラス転移点温度が150℃～170℃で、且つ熱膨張係数がガラス転移点温度以下のとき33～45ppm/℃、ガラス転移点温度以上のとき110～120ppm/℃の硬化物特性を有し、更には、液状のときの粘度が900～1100cpsの特性を有している。

【0017】更に、バインダー層18の上には、半導体チップ19の複数の能動素子面に形成された複数の電極パッド20を下向きに、すなわち電極パッド20に設けた、一例としてAuボールボンディングバンプからなる電極バンプ21を設けた半導体フリップ・チップ22をフェースダウンの状態に実装している。そして、半導体フリップ・チップ22と導体回路基板12とをバインダー層18によって接合し、樹脂封止した半導体装置10を構成している。このとき、電極バンプ21はバインダー層18によって導体リード14に設けた内部接続端子パッド15に機械的接触されて電気的導通回路を形成すると共に、バインダー層18は硬化して電気的導通回路を保持し、電気的接続とアンダーフィル機能を兼備している。

【0018】ここで、本発明の一実施の形態に係る半導体フリップ・チップの実装方法を用いた半導体装置の製造方法について、図4を参照しながら説明する。半導体装置10は、バンプ形成工程、導体回路基板形成工程

と、半導体フリップ・チップの実装方法を構成するバインダー層塗布工程、予熱工程、実装工程、第1の段階加熱硬化処理工程、第2の段階加熱硬化処理工程、冷却工程及び分割工程を経て製造される。すなわち、

(1) 半導体チップ19の複数の電極パッド20のそれぞれに、例えばAuボールボンディングバンプからなる電極バンプ21が形成された半導体フリップ・チップ22を準備する(バンプ形成工程)。

(2) 有機系樹脂基板の一例である表裏面に銅箔を有するガラスBTレジン銅張り基板(ガラス転移点温度 $T_g = 180 \sim 230^\circ\text{C}$ 、熱膨張係数 $\alpha = 17 \text{ ppm}/^\circ\text{C}$ )の銅箔にエッチング加工を施すことにより、所定の導体回路パターン11が短冊状(図2(A)、(B)参照)又はマトリックス状に複数個配置されたガラスBTレジン基板をベースとする導体回路基板フレーム23を準備する(導体回路基板形成工程)。

【0019】(3) 導体回路基板フレーム23の各ダミーパッド13上に予め液状の熱硬化性エポキシ樹脂からなるバインダーを適量載せてバインダー層18を形成する(バインダー層塗布工程)。

(4) バインダー層18が形成された導体回路基板フレーム23を加熱ステージに固定して $80^\circ\text{C}$ 程度に升温し、バインダー層18の粘度を下げ、バインダー層18の流れ性をよくして充填効果を高めると共に、導体回路基板フレーム23に含まれるガスやバインダー層18中に含まれるボイドを除去するための予熱を行う(予熱工程)。

(5) 予熱された導体回路基板フレーム23のバインダー層18に半導体フリップ・チップ22を位置決め載置して仮接着を行った後、所定の加圧力でこれを押圧してバインダー層18を押し広げ、内部接続端子パッド15に電極バンプ21を圧接接続させて電氣的導通回路を形成する(実装工程)。

【0020】(6) 次に、半導体フリップ・チップ22を加圧した状態で、2秒間に $220^\circ\text{C}$ のバインダー層18の仮硬化温度に上昇させる第1の加熱を行い、その仮硬化温度で5秒間維持して硬化反応を進めて硬化率75%の第1の熱硬化を行う仮加熱硬化処理、すなわち第1の段階加熱硬化処理を行う(第1の段階加熱硬化処理工程)。

(7) 第1の段階加熱硬化処理を行った後、1秒間に $260^\circ\text{C}$ のバインダー層18の本硬化温度に上昇させる第2の加熱を行い、更に $260^\circ\text{C}$ の温度を5秒間維持して硬化反応を進め、硬化率100%の第2の熱硬化を行う本加熱硬化処理、すなわち第2の段階加熱硬化処理を行い、半導体フリップ・チップ22を導体回路基板フレーム23に封止した複数の半導体パッケージ24を形成する(第2の段階加熱処理工程)。

(8) その後、半導体パッケージ24を20秒間に $80^\circ\text{C}$ に冷却し、放置する(冷却工程)。

(9) 複数の半導体パッケージ24が形成された導体回路基板フレーム23を各半導体フリップ・チップ22毎にダイシングカットして個々に分割された半導体装置10を形成する(分割工程)。

【0021】上記工程を経て、導体回路基板フレーム23と半導体フリップ・チップ22は半導体パッケージ24として、半導体フリップ・チップ22と導体回路基板12の内部接続端子パッド15との間の電氣的導通回路を保持された状態で一体的に封止され、更に各半導体フリップ・チップ22毎に分割されて裏面側に外部接続端子ランド16が露出した半導体装置10が形成される。なお、本発明に係る半導体フリップ・チップの実装方法を用いて形成された10個の半導体装置について、信頼性試験項目のPCT(Pressure Cracker Test)を温度が $110^\circ\text{C}$ 、湿度が85%、気圧が1.2 atm、500時間の条件で行った結果では全数(10/10)が合格となり、TCT(Temperature Cycle Test)を温度 $125^\circ\text{C}/-55^\circ\text{C}$ 、1000 Cycleの条件で行った結果でも全数(10/10)が合格となり、品質の高い半導体装置が得られた。

【0022】以上、本発明を一実施の形態に係る半導体フリップ・チップの実装方法について説明してきたが、本発明は、何ら前記の実施の形態に記載の構成に限定されるものではなく、特許請求の範囲に記載されている事項の範囲内で考えられるその他の実施の形態や変形例も含むものである。例えば、導体回路基板上の半導体フリップ・チップを搭載する中央部分に設けたダミーパッドに予めバインダー層を適量載せておき、Auボールボンディングバンプを有する半導体フリップ・チップを上から押し付けて、バインダー層を押し広げて硬化する方法の外に、半導体フリップ・チップを実装後に、ディスペンサーシリジンのニードルの先端からバインダー層を導体回路基板と半導体フリップ・チップとの間の間隙に供給して、バインダー層を硬化させる方法であってもよい。

【0023】更に、前記実施の形態ではガラスBTレジンベースの導体回路基板を用いた構成としたが、導体回路基板としてガラスクロスエポキシ導体回路基板(グレード:FR-4、5)、ガラスクロスポリエステル回路基板(グレード:FR-6)を用いた構成とすることもできる。また、前記実施の形態では半導体フリップ・チップを有機系樹脂基板上に搭載して半導体装置を形成するCOB(Chip On Board)タイプについて説明したが、本発明に係る半導体フリップ・チップの実装方法は、半導体チップの上に半導体フリップ・チップを重ねるCOC(Chip On Chip)、半導体チップが配列されたウエハの上に半導体フリップ・チップが配列されたウエハを重ねるWOW(Wafer On Wafer)、BGA(Ball Grid A

rray) タイプのCSP (Chip Scale Package)、リードフレーム等に半導体フリップ・チップを搭載するCOF (Chip On Frame) にも適用できる。

#### 【0024】

【発明の効果】請求項1～3記載の半導体フリップ・チップの実装方法においては、導体回路パターンが形成された有機系樹脂基板からなる導体回路基板の表面に、熱硬化性樹脂バインダーを塗布してバインダー層を形成し、半導体フリップ・チップをバインダー層上にフェースダウン状態で位置決め搭載し、半導体フリップ・チップを所定の加圧力で押圧してバインダー層を押し広げると共に電氣的導通回路を形成した後、前記半導体フリップ・チップを加圧した状態でバインダー層に所要回数の段階加熱硬化処理を行う。したがって、バインダー層は仮加熱硬化処理で所定の硬化率（例えば70～80%）に硬化されて導体回路基板を補強するように機能し、本硬化工程で硬化されても、半導体フリップ・チップと導体回路基板との接着界面及び半導体フリップ・チップの電極パンプと導体回路基板の接続端子の圧接接合部の残留応力が低減されると共に、接着強度を向上させ、半導体装置の状態で反りや変形を防止できる。その結果、寸法精度や平坦度の不良を防ぐ信頼性の高い半導体フリップ・チップの実装方法を提供できる。

【0025】特に、請求項2記載の半導体フリップ・チップの実装方法においては、バインダー層の段階加熱硬化処理は、バインダー層の硬化率が70～80%になる仮硬化温度を維持してバインダー層を硬化させる第1の段階加熱硬化処理と、更にバインダー層の硬化率が90～100%になる本硬化温度を維持してバインダー層を硬化させる第2の段階加熱硬化処理とからなる構成としているので、第1の段階加熱硬化処理で導体回路基板とバインダー層との一体化が進み、第2の段階加熱硬化処理でバインダー層が本硬化しても、半導体装置の残留応力が低減され、反りや変形を防止できる。

【0026】請求項3記載の半導体フリップ・チップの\*

\*実装方法においては、バインダー層の本硬化温度が導体回路基板のガラス転移点温度よりも高く設定されているので、バインダー層の硬化温度を高く設定することにより、硬化反応が更に促進され、硬化時間の短縮が可能となり、半導体フリップ・チップの実装時間の短縮が可能となる。更に、硬化時間が短縮されるので加熱温度による半導体フリップ・チップに与えるダメージを低減し、半導体装置の信頼性を向上させることができる。

#### 【図面の簡単な説明】

10 【図1】本発明の一実施の形態に係る半導体フリップ・チップの実装方法を用いて製造される半導体装置の側面図である。

【図2】(A)、(B)はそれぞれ同半導体フリップ・チップの実装方法の途中の工程で用いられる半導体パッケージの側面図、導体回路基板フレームの平面図である。

【図3】同半導体フリップ・チップの実装方法に用いるバインダー層の硬化率を示す説明図である。

20 【図4】同半導体フリップ・チップの実装方法の硬化工程の時間と温度変化の状態を示す説明図である。

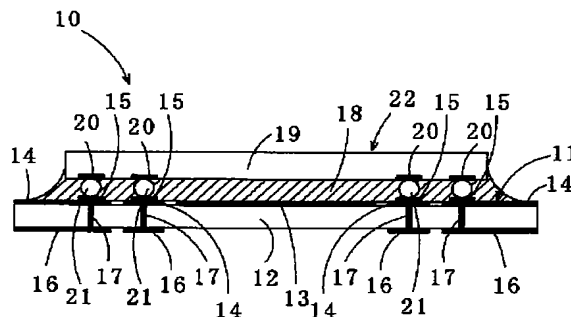
【図5】(A)、(B)はそれぞれ従来例に係る半導体フリップ・チップの実装方法を用いて製造される半導体装置の側面図、同半導体装置の変形状態を示す側面図である。

【図6】従来例に係る半導体フリップ・チップの実装方法の硬化工程の時間と温度変化の状態を示す説明図である。

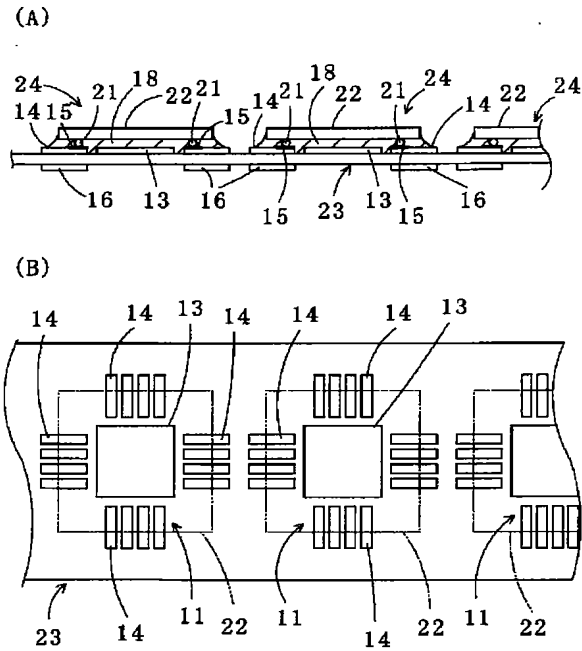
#### 【符号の説明】

10 : 半導体装置、11 : 半導体回路パターン、12 : 導体回路基板、13 : ダミーパッド、14 : 導体リード、15 : 内部接続端子パッド、16 : 外部接続端子ランド、17 : スルーホール、18 : バインダー層、19 : 半導体チップ、20 : 電極パッド、21 : 電極パンプ、22 : 半導体フリップ・チップ、23 : 導体回路基板フレーム、24 : 半導体パッケージ

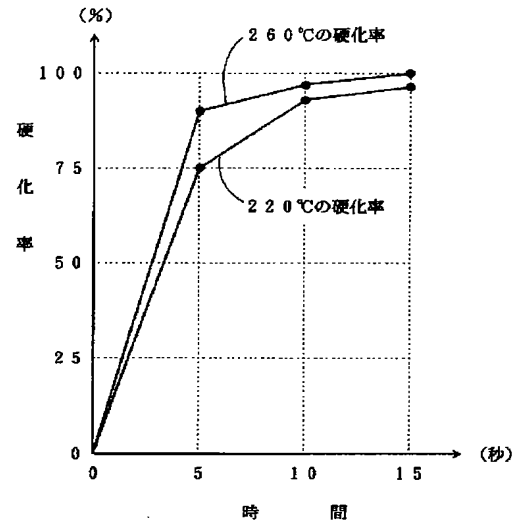
【図1】



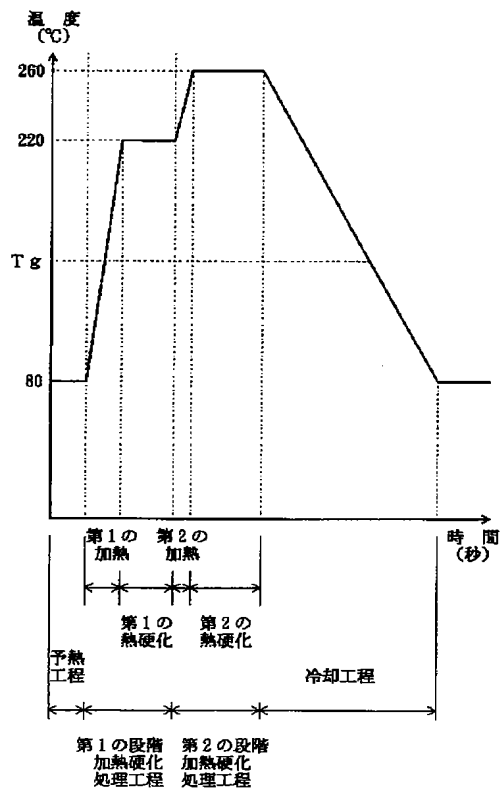
【図2】



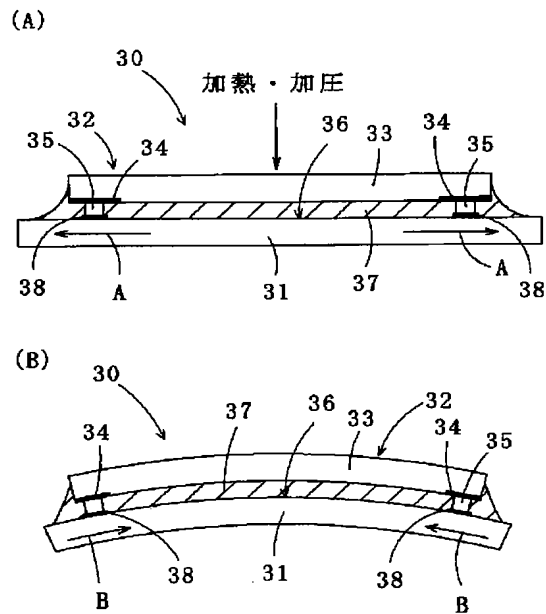
【図3】



【図4】

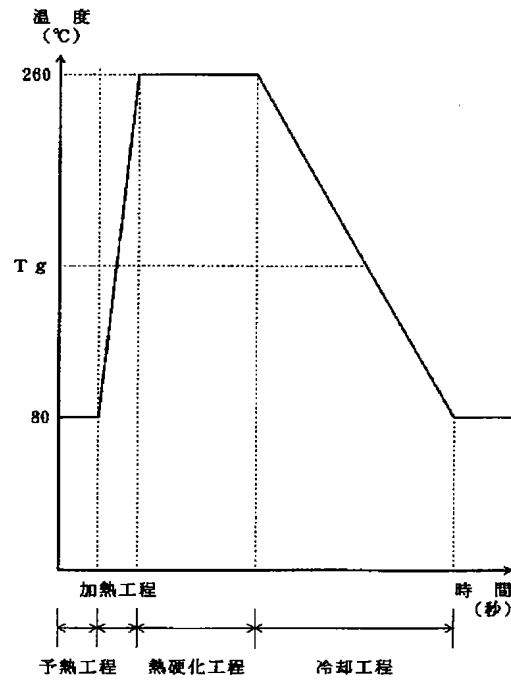


【図5】





【図 6】



フロントページの続き

(72) 発明者 塩山 隆雄  
福岡県北九州市八幡西区小嶺 2 丁目 10-1  
株式会社三井ハイテック内

(72) 発明者 野北 寛太  
福岡県北九州市八幡西区小嶺 2 丁目 10-1  
株式会社三井ハイテック内  
F ターム (参考) 5F044 KK02 LL11 LL15 RR19  
5F061 AA01 BA03 CA05 CB03 CB13